

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01214010 A**(43) Date of publication of application: **28.08.89**

(51) Int. Cl.

**H01L 21/02**  
**H01L 21/52**
(21) Application number: **63039312**(22) Date of filing: **22.02.88**(71) Applicant: **SUMITOMO ELECTRIC IND LTD**(72) Inventor: **MATSUSHITA TADASHI**(54) **SEMICONDUCTOR CHIP FOR INTEGRATED CIRCUIT**

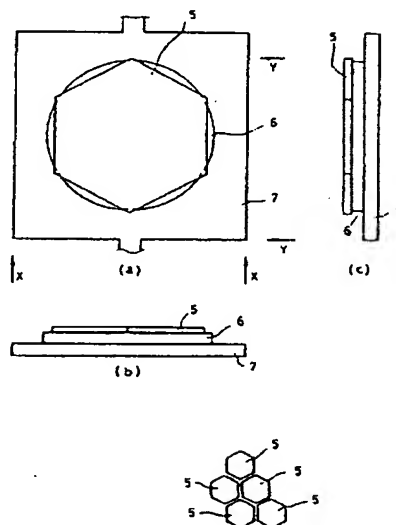
semiconductor chips 5 efficiently.

COPYRIGHT: (C)1989,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To stabilize an electrical characteristic and to prevent the destruction of an active element and the like formed on a semiconductor chip by a method wherein the external shape of the semiconductor chip is formed into a circular shape or a polygonal shape with five sides or more.

**CONSTITUTION:** In semiconductor chips 5 for integrated circuit use, the external shape of the semiconductor chips 5 is formed into a circular shape or a polygonal shape with five sides or more. For example, the semiconductor chips 5 are formed to be a regular hexagonal so that they can be spread all over a wafer without leaving no space; an active element and the like are formed on the top surface of the semiconductor chips 5; a bonding pad is formed around them. The wafer containing formed integrated circuits is split into the semiconductor chips by utilizing a laser or the like. By this setup, a die bonding material 6 creeps to the whole of the rear of the semiconductor chips 5; heat generated by the active element formed on the semiconductor chips 5 can be dissipated onto the



⑫ 公開特許公報(A) 平1-214010

⑤ Int. Cl.

H 01 L 21/02  
21/52

識別記号

庁内整理番号

B-7454-5F  
Z-8728-5F

④ 公開 平成1年(1989)8月28日

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 集積回路用半導体チップ

⑭ 特 願 昭63-39312

⑮ 出 願 昭63(1988)2月22日

⑯ 発 明 者 松 下 忠 司 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社  
横浜製作所内

⑰ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑱ 代 理 人 弁理士 長谷川 芳樹 外3名

明 細 書

1. 発明の名称

集積回路用半導体チップ

2. 特許請求の範囲

集積回路用の半導体チップにおいて、半導体チップの外形形状が円形または五角形以上の多角形であることを特徴とする集積回路用半導体チップ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、集積回路用半導体チップに関する。

〔従来技術〕

近年、集積回路の高速化がすすみ、それにともない、半導体チップ上の集積回路の発熱が問題となってきた。

このような集積回路は、通常、Si単結晶の基板(以下ウェーハという。)又はGaAs基板上に、フォトリソグラフィ技術や薄膜形成技術を用

いて形成される。その形成においては、第3(a)図に示すように、複数の集積回路をウェーハ上に形成し、この複数の集積回路をダイシング等により矩形状の半導体チップ2に分割していた。そして、この分割された半導体チップ2を、ダイボンディング用基体にダイボンディングし、その後、ワイヤボンディング等を行い半導体集積回路装置を完成している。そして、このダイボンディングの状態を第3(b)図、第3(c)図及び第3(d)図に示す。まず、ダイボンディング材4をダイボンディング用基体3に滴下し、その上に半導体チップ2をボンディングしていた。

この矩形状の半導体チップ2には、そこに組み込まれる能動素子の集積度を上げるため第3(b)図に示す点線2aで囲む領域内に能動素子を形成していた。

〔本発明の解決すべき課題〕

半導体集積回路では、能動素子をその中に集積しているため、動作時の発熱が問題となる。そこで、動作時に能動素子等から発生した熱は、半導

体チップ基板、ボンディング材及びダイボンディング用基体を通して、放熱されていた。特に、この放熱の問題は、集積回路の動作速度が早くなればなるほど大きな問題となっている。

しかし、第3(d)図に示すような、従来の半導体チップ素子では、半導体チップ2の周辺角部2bの下側には、ボンディング材が十分回り込まず、この角部領域2cに形成された能動素子等で発生した熱は、ボンディング材を介しては放熱されない。そのため、能動素子等の放熱にムラが生じていた。そして、この放熱のムラにより、集積回路の電気特性が安定しなかったりし、その周辺角部2bに形成された能動素子等が破壊されたりした。

また、この周辺角部2bの下側まで、十分にボンディング材を回り込ますため、ダイボンディング材の量を増やすと、第3(e)図に示すように、ボンディング材が半導体チップの上面にかぶさりワイヤボンディングパッドに付着してしまい、ワイヤボンディングの際、問題が生じる。また、更

に、このようにボンディング材の量を増やすためには、ボンディング材を数回滴下しなければならない。それにより、半導体チップの裏面とダイボンディング材との間に気泡が生じ、その気泡部分での放熱が十分に行われず、先に説明したような問題が生じる恐れもあった。

本発明は上記課題点を解決し、電気特性が安定し、また、その上に形成された能動素子等が破壊されない集積回路用半導体チップを提供することを目的とする。

#### 〔課題を解決するための手段〕

本発明では、上記課題を解決するため、集積回路用の半導体チップにおいて、半導体チップの外形状を円形または五角形以上の多角形の形状にしている。

#### 〔作用〕

本発明の半導体チップでは、その半導体チップの形状をチップの裏面全面にダイボンディング材が接触するような形状とし、適切な放熱を可能にしている。

#### 〔実施例〕

以下図面を参照しつつ本発明に従う実施例について説明する。

同一符号を付した要素は同一機能を有するため重複する説明は省略する。

第1図は本発明に従う実施例の半導体チップをダイボンディング用基体、いわゆる、リードフレームのベッド部にボンディングした状態を示している。第1(a)図は上面図、第1(b)図は第1(a)図の矢印X方向から見た図及び第1(c)図は第1(a)図の矢印Y方向より見た図である。この第1(a)図に示すように、半導体チップ5は正六角形状にしてある。この様な形状を採用したのは、以下の理由による。

半導体集積回路は第1(a)図に関連して説明したように、ウェーハ上に複数の集積回路を形成し、これを個々に分割することにより形成している。そのため、1枚のウェーハから取ることのできる集積回路の数を多くするため、ウェーハ上に隙間なく敷き詰められるような形状をしているこ

とが好ましい。このため、この実施例では、正六角形の形状にしている。このようにすることにより、第2図に示すように、隙間なく敷き詰めることが可能になる。

そしてこの半導体チップ5の上面には、能動素子等が形成され、その周囲にはボンディングパッドが形成されている。この能動素子等の形成及びボンディングパッドの形成は、フォトリソグラフィ技術及び薄膜形成技術等で行うことができ、この技術は、従来より知られているため、本明細書では省略する。

ここで形成された集積回路を有するウェーハを、レーザ等を利用して半導体チップに分割する。

なお、このように半導体チップの形状を変更してその上に集積回路を形成するのは、従来の製造工程において、単にフォトリソグラフィ工程で使用するフォトマスク上のパターンを変更するだけで、容易に行うことができる。

この半導体チップ5をダイボンディング用基体7にダイボンディングする方法について説明する。

まず、ダイボンディング用基体7にダイボンディング材6を塗布する。この塗布の方法は、ダイボンディング材を滴下することにより行う。次に、このダイボンディング用基体7を円形状に移動させ、ダイボンディング材を伸ばす。次に、この伸ばされたダイボンディング材の上に半導体チップをボンディングする。

正六角形状の半導体チップを用い、上記方法でダイボンディングすることにより、半導体チップの裏面全部に隙間なくダイボンディング材を設けることができる。

本発明は上記実施例に限定されるものでなく、種々の変形例が考えられ得る。

具体的には、上記実施例では、半導体チップの外形形状を正六角形状にしているが、これに限定されるものでなく、五角形以上の多角形または円形形状でも、ダイボンディング材は半導体チップの裏面に十分回り込む。

また更に、上記実施例では、半導体チップをダイボンディング用基体にボンディングする際、ダ

イボンディング材を基体に塗布しているが、この代わりに半導体チップ側にダイボンディング材を塗布してもよい。この場合には、半導体チップの裏面の中心にダイボンディング材を滴下し、この半導体チップをダイボンディング用基体に押し付け、伸ばしボンディングする。

#### 〔発明の効果〕

本発明の半導体チップでは、その形状を円形または五角形以上の多角形とすることにより、半導体チップの裏面全体にダイボンディング材が回り込み、半導体チップ上に形成された能動素子が発生した熱を効率よく放熱することができる。そのため、このような形状の半導体チップを採用することにより、特に高速度デバイスにおいては、発熱の問題が容易に解決できる。

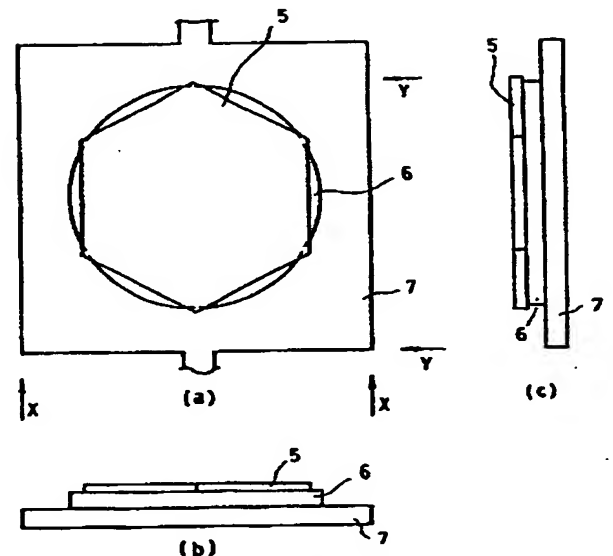
#### 4. 図面の簡単な説明

第1図は本発明に従う半導体チップをダイボンディングした状態を示す図、第2図は、第1図に示す半導体チップを隙間なく敷き詰めた状態を示す図及び第3図は従来例を説明する図である。

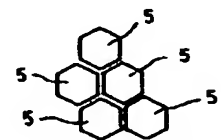
す図及び第3図は従来例を説明する図である。

1…ウェーハ、2、5…半導体チップ、2a…能動素子形成領域、2c…半導体チップ周辺角部、3、7…ダイボンディング用基体、4、6…ダイボンディング材。

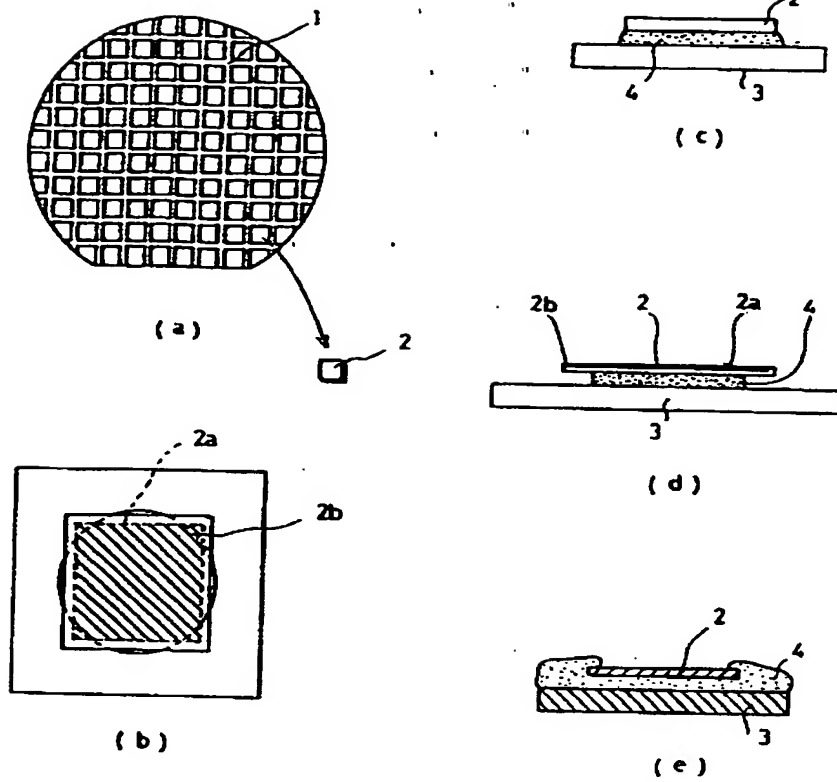
特許出願人	住友電気工業株式会社
代理人弁理士	長谷川 芳 樹
	同 寺 崎 史 朗



実施例  
第1図



実施例の配置  
第2図



従 来 例  
第 3 図